

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199294
 (43)Date of publication of application : 31.07.1998

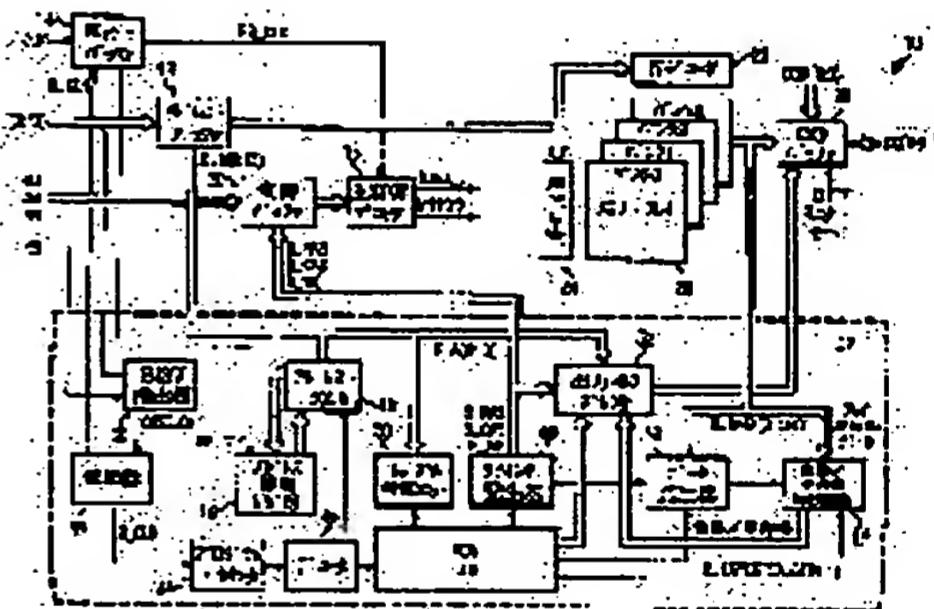
(51)Int.Cl. G11C 29/00
 G01R 31/28

(21)Application number : 09-351611 (71)Applicant : TEXAS INSTR INC <TI>
 (22)Date of filing : 19.12.1997 (72)Inventor : CLINE DANNY R
 POWELL THEO J
 HII KUONG H

(30)Priority
 Priority number : 96 33508 Priority date : 19.12.1996 Priority country : US

(54) INTEGRATED CIRCUIT MEMORY DEVICE HAVING BUILT-IN SELF-TESTING CIRCUIT WITH MONITOR MODE AND TESTER MODE AND ITS OPERATION METHOD

(57)Abstract:
 PROBLEM TO BE SOLVED: To provide an integrated circuit memory device having a self-testing monitor mode.
 SOLUTION: A memory device 10 includes a memory array 26 having a plurality of memory cells and a built-in self-testing circuit 12 which is so connected as to receive a self-testing selection signal. When the memory device is in a self-tester mode, the built-in self-testing circuit 12 generates an internal self-testing signal and the memory array is operated for test. A data buffer 28 is so connected as to receive the internal self-testing signal and a monitor mode signal. When the memory device is in a monitor mode, the data buffer operates so as to connect the internal self-testing signal to the terminal of the memory device and supply the signal to the outside from the memory device. The operation of the built-in self-testing circuit can be verified by using a monitor object self-testing signal. Further, if the monitor object self-testing signal is used in the tester mode, other memory devices can be also tested.



(19) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号

特開平10-199294

(43) 公開日 平成10年(1998)7月31日

(51) Int.Cl. G 11 C 29/00 G 11 C 29/00 6 7 1 B
G 01 R 31/28 G 01 R 31/28 B
V

(21) 出願番号 特開平9-351611 (71) 出願人 5900008679
テキサス インスツルメンツ インコーポレーテッド
アメリカ合衆国テキサス州ダラス、ノースセントラルエクスプレスウェイ 13500
(72) 発明者 ダニー・アール・クライン
シンガポール国カクタス ドライブ 16,
ナンバー 04-01
(72) 発明者 テオ・シェイ・パウエル
アメリカ合衆国テキサス州ダラス、アールポート サークル 15546
(74) 代理人 卑理士 橋村 临 (外 3 名)

最終頁に続く
(54) [発明の名稱] モニタ・モードおよびテスト・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子およびその動作方法

(57) [要約]
【課題】自己検査モニタ・モードを有する集積回路メモリ素子を提供する。
【解決手段】メモリ素子(10)は、複数のメモリセルを有するメモリ・アレイ(26)、および自己検査回路を有するメモリ・アレイ(26)、および自己検査回路を有するメモリ・アレイ(26)を含む。メモリ素子が自己検査モードにあり、内蔵自己検査回路は内部自己検査回路モードを発生しメモリ・アレイを動作させ検査するよう動作する。データ・バッファ(28)が、内部自己検査回路モードにあり、内蔵自己検査回路モードに接続される。メモリ素子から外部に接続された内蔵自己検査回路(12)を含む。メモリ素子が自己検査モードにあり、内蔵自己検査回路は内部自己検査回路モードを発生しメモリ・アレイを動作させ検査するよう動作する。データ・バッファ(28)が、内部自己検査回路モードにあり、内蔵自己検査回路モードに接続される。メモリ素子が自己検査モードにあり、内蔵自己検査回路モードに接続される。メモリ素子から外部に接続された内蔵自己検査回路(12)を含む。メモリ素子が自己検査モードにあり、内蔵自己検査回路は内部自己検査回路モードを発生しメモリ・アレイを動作させ検査するよう動作する。データ・バッファ(28)が、内部自己検査回路モードにあり、内蔵自己検査回路モードに接続される。メモリ素子が自己検査モードにあり、内蔵自己検査回路モードに接続される。メモリ素子が第1メモリ素子の端子に接続される。第1メモリ素子の端子は第2メモリ素子からの自己検査信号を受け取るようになっている。内蔵自己検査回路の自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子の検査結果を示す、合

【特許請求の範囲】

【請求項1】集積回路メモリ素子であつて、複数のメモリ・セルを有するメモリ・アレイであつて、アレイ・アドレス信号およびアレイ制御信号に応答して、前記メモリ・セル内にデータを格納し、該メモリ・セルに格納されているデータを表すアレイ出力信号を供給するように動作可能な前記メモリ・アレイと、前記メモリ素子が自己検査モードにあるか否かを示す自己検査選択信号を受けるよう接続されている内蔵自己検査回路であつて、内部自己検査信号を発生し、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを作動させ検査するよう動作可能な前記内蔵自己検査回路と、

前記内部自己検査信号と、前記メモリ素子が自己検査モードにあるか否かを示すモニタ・モード信号とを受け取るよう接続されているデータ・バッファであつて、前記内部自己検査信号を前記メモリ素子の端子に接続し、前記メモリ素子が自己検査モニタ・モードにあつて、前記メモリ素子から外部に前記内部自己検査信号を供給するよう接続された前記データ・バッファと、から成る集積回路メモリ素子。

【請求項2】集積回路メモリ素子に内蔵自己検査回路の監視を可能とするための動作方法であつて、前記メモリ素子が自己検査モニタ・モードにすることを示すモニタ・モード信号を受け取るステップと、自己検査モニタ・モードの指示に応答して、前記内蔵自己検査回路が発生した内部自己検査信号を、前記メモリ素子の端子に接続し、該端子から外部に接続し、前記内部自己検査信号を監視可能とするステップと、から成る方法。

【発明の詳細な説明】

(0001) 本発明の他の特徴によれば、内蔵自己検査回路の監視を可能にするための、集積回路メモリ素子の動作方法が提供される。メモリ素子は、当該メモリ素子が自己検査モニタ・モードに接続された内蔵自己検査回路によって発生された内部自己検査信号は、自己検査モニタ・モード信号に応答して、メモリ素子から外部に接続される。端子は、外部に接続し、内部自己検査信号を監視するための使用可能となつてゐる。

(0002) 本発明の更に別の特徴によれば、内蔵自己検査回路を有する他の集積回路メモリ素子を用いて、集積回路メモリ素子を検査する方法が提供される。第1メモリ素子の内蔵自己検査回路が発生する内蔵自己検査信号は、第1メモリ素子の端子に接続される。第1メモリ素子の端子は第2メモリ素子からの自己検査信号を受け取るようにして、内蔵自己検査回路の自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子が第1メモリ素子からの自己検査信号を受け取るようにして、内蔵自己検査回路の自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子の検査結果を示す、合

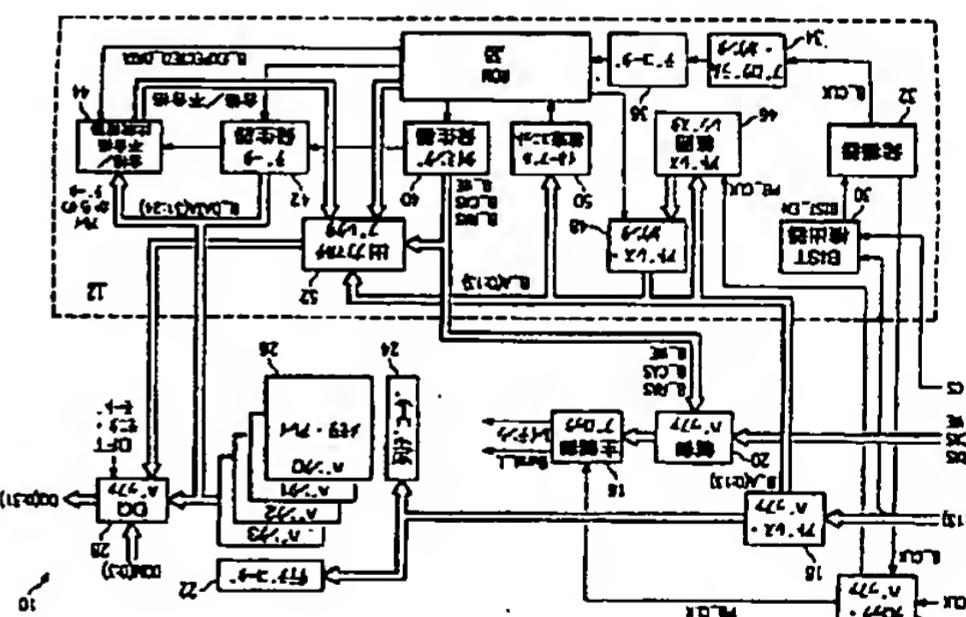
は、「A BIST Scheme Using Microprogram ROM for Large Capacity Memories」1990 International Test Conference. 第8-15～8-22頁に記載されているようだ。従来の集積回路によって用いられている。BIST回路を検証するための他の手法には、スキャン(scan)を用いるか、あるいはサイン(signature)に対する内部検査のためのデータを圧縮することができる。予想スキャン・データまたは予想したサインと比較することができる。

(0003) 【発明が解決しようとする課題】本発明は、集積回路メモリ素子の從来のBIST方式の問題および欠点の大要を解消するための、モニタ・モードおよびテスター・モードを有する集積回路メモリ素子を提供することを目的とする。

(0004) 【課題を解決するための手段】本発明の一態様によれば、自己検査モニタ・モードを有する集積回路メモリ素子が提供される。このメモリ素子は、複数のメモリ・セルを有するメモリ・アレイを含む。メモリ素子は、更に、自己検査選択信号を受け取るよう接続された内蔵自己検査回路は、メモリ素子が自己検査モードに接続された内蔵自己検査回路によって動作可能である。内部自己検査信号およびモニタ・モード信号を受け取るよう、データ・バッファが接続されている。データ・バッファは、メモリ素子が自己検査モニタ・モードにあつて、内部自己検査信号をメモリ素子から外部に内部自己検査信号を供給するよう動作可能である。

(0005) 本発明の他の特徴によれば、内蔵自己検査回路の監視を可能とするための動作方法であつて、前記メモリ素子が自己検査モニタ・モードにすることを示すモニタ・モード信号を受け取るステップと、自己検査モニタ・モードの指示に応答して、前記内蔵自己検査回路が発生した内部自己検査信号を、前記メモリ素子の端子に接続し、該端子から外部に接続し、前記内部自己検査信号を監視可能とするステップと、から成る方法。

(0006) 本発明の更に別の特徴によれば、内蔵自己検査回路を有する他の集積回路メモリ素子を用いて、集積回路メモリ素子を検査する方法が提供される。第1メモリ素子の内蔵自己検査回路が発生する内蔵自己検査信号は、第1メモリ素子の端子に接続される。第1メモリ素子の端子は第2メモリ素子からの自己検査信号を受け取るようにして、内蔵自己検査回路の自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子が第1メモリ素子からの自己検査信号を受け取るようにして、内蔵自己検査回路の自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子の検査結果を示す、合



(0007) 【発明の属する技術分野】本発明は、一般的に集積回路メモリ素子の分野に属し、更に特定すれば、モニタ・モードおよび検査・モードを備えた内蔵自己検査(BIST: built-in self test)回路を有する集積回路メモリ素子、およびかかるメモリ素子の動作方法に関するものである。

(0008) 【発明の詳細な説明】

(0009) 本発明の他の特徴によれば、内蔵自己検査回路の監視を可能とするための、集積回路メモリ素子の動作方法が提供される。メモリ素子は、当該メモリ素子が自己検査モニタ・モードに接続された内蔵自己検査回路によって発生する内蔵自己検査信号は、自己検査モニタ・モード信号に応答して、内蔵自己検査回路が発生する内蔵自己検査信号を受けるようにして第2メモリ素子を実行し、自己検査信号を用いて第2メモリ素子を検査する。こうして、BISTの適正な動作の検証が可能となる。加えて、BISTの動作によって発生したメモリ・アレイ内のデータのあらゆる変化も、適切な時点にBISTを中断することによって検証することができる。このBIST検証手法

格／不合格信号を発生する。

【0007】本発明の技術的利点は、集積回路メモリ素子の出力端子を多皿化することによって、外部出力端子上に選択信号が得られるようにし、B1S1T回路内部のかかる信号を監視可能とした点にある。

【0008】本発明は、テスター・モードにおいて監視対象信号を用いて、他の集積回路メモリ素子の検査を可能にするという他の技術的利点も提供する。

【0009】本発明およびその利点は、添付図面の開示において以下の説明を参照することによって、一層深く理解することができる。尚、図面では、同様の参照番号は同様の構造を示すものとする。

【0010】【発明の実施の形態】従来のテスターによってDRAMのような集積回路メモリ素子を検査するには、通常、クロック、RAS、CAS、WE、データ、CSおよびアドレス信号のようない多數の検査信号を必要とする。本発明の表示によれば、かかる信号は、内蔵自己検査(B1S1T)回路によって発生され、集積回路メモリ素子の出力端子上で監視することができる。これによつて、他の集積回路メモリ素子を検査するためのデータ・モードでB1S1T回路を用いるだけでなく、B1S1T回路の動作の監視も可能となる。データ・モードが可能なのは、監視対象の信号が、その他の場合には集積回路メモリ素子検査するために用いられると同じ信号であるからである。本発明によれば、B1S1T回路を有することや、B1S1T回路をシステムにコマンドを発行し、他のシステム・メモリ・チップを検査することによって、シス

【0011】図1は、本発明の表示による、モニタ・モードを備えた内蔵自己検査例のブロック図である。モニタ・モードとして10で示してある。通常動作モードでは、メモリ素子10は、外部クロックや、アドレス、RAS、CASおよびWEを含む制御信号を受け取り、從来のメモリ・レイと同様に機能する。しかしながら、内蔵自己検査モニタ・モードでは、B1S1T回路12がメモリ素子10の出力端子にある監視検査信号を供給するようになれる。モニタ・モードの間、検査信号は出力端子(DQ0:31)と多皿化し、B1S1Tモニタ・モード選択信号を用いてこれらを選択することによって、メモリ素子10から出力される。図2は、外部入出力(10)端子にインターフェースする従来のB1S1T回路の一実施例を示す。メモリ素子10が通常モードにいる場合、B1S1T回路12は、メモリ素子10がB1S1T回路内部メモリ・レイに接続されている。メモリ素子10がB1S1Tモードにいる場合、通常DQイネーブル信号は論理低であり、DQバッファはB1S1T回路12内

に供給され、出力データを予測データと比較する。次に、信号N1およびN2がメモリ素子80に返送される。すると、メモリ素子80は、メモリ素子2が合格したか否かを示す合格／不合格信号PASS/FAILを供給する。図3の実施例によれば、RAS、CAS、WE、およびクロック信号は波形であり、制御信号およびADDR0-ADDR3信号は、メモリ素子80内のB1S1T回路からのメモリ・アドレス信号である。ライト・データ信号WRITEDATA0およびWRITEDATA1は、検査のためにメモリ素子82に書き込まれるデータである。2つのデータ値があるのに、奇数メモリ・セルおよび偶数メモリ・セル間の交替パターンを用いることができる。偶数データ比較器84は、偶数出力端子について、メモリ素子82からのデータ値と予測値とを比較する比較器である。奇数データ比較器86は、奇数出力端子について、メモリ素子82からのデータ値と予測値とを比較する比較器である。信号N1、N2は、奇数出力端子における信号の数が、DQバッファ28からの使用可能な出力端子の数を上回るからである。使用可能な出力端子が多い場合、出力マルチプレクサ52は不要であることは理解されよう。かかる場合、B1S1T回路12内の全てのキー信号は、メモリ素子10の別個の端子において監視および供給が可能となる。

【0015】図2は、本発明の表示によるDQバッファ28の一実施例を示す。図示のように、DQバッファ28は、セレクタ回路60および通常のDQバッファ62を含む。通常のDQバッファ62は多皿化信号DQM(0:3)を受け取り、出力端子上に出力信号DQ(0:31)を発生する。セレクタ回路60は、バス・ゲート64、反転器66、バス・ゲート68、および反転器70を含む。バス・ゲート64は、メモリ・アレイ26からの出力データはDQバッファ28は出力端子DQ(0:31)に供給する。また、DQバッファ28は、B1S1T回路12から、多皿化信号DQM(0:3)および監視対象信号を受け取る。更に、DQバッファ28は、モニタ・モード選択信号DFT MONITOR MODEを受け取る。この信号は、出力端子DQ(0:31)が、メモリ・アレイ16からのデータまたはB1S1T回路12内の監視対象信号からのデータのどちらを供給しているのかについて判定を行つ。

【0016】図1の実施例では、B1S1T回路12は、アドレス・データA(0:13)および制御信号CSを受け取る。B1S1T検出器30を含む。発振器32がクロック信号をクロック・バッファ14およびプログラム・カウンタ34に供給する。B1S1T検出器30は、メモリ素子10がB1S1Tモードにあるか否かについてチェックを行つ。発振器32は、内部検査のため、ならびにモニタおよびデータ動作のために、内部B1S1T回路12の出力をオフに切り替える。バス・ゲート68も、図示のように、モニタ・モード選択信号DFT MONITOR MODEによって、オンまたはオフに切り替えられる。バス・ゲート68は、B1S1T回路12および通常のDQバッファ62間で情報を伝達する。図示の実施例では、B1S1T回路12からの出力は、出力マルチプレクサ52によって受け取られる。図示のように、監視対象信号は、アドレス信号、RAS、CAS、WE、CLK、データ、合格／不合格、および終了信号を含むことができる。メモリ素子90およびメモリ素子92に選択信号を供給することができる。

【0017】マルチプレクサ94、96、98は、メモリ検査ユニット100が、メモリ素子90からの監視対象信号を選択的に、検査対象のメモリ素子92に接続できるようにする。メモリ検査ユニット100は、通常のクロック、アドレス信号およびデータ、ならびにメモリ素子90から到達するこれらと同じ信号で選択を行う。次に、偶数データ比較器102および奇数データ比較器104が、検査対象のメモリ素子92からのデータ・モードを選択する。これの信号は、図1およびメモリ選択信号を示す。メモリ素子90は、検査対象のメモリ92に接続することができる。

【0018】図1は、本発明の表示による、複数のシステム・メモリ・チップを検査するために用いられる、データ・モードを選択した内蔵自己検査回路を有する集積回路モニタ素子の一実施例のブロック図である。図示のように、メモリ素子90は、先に論じたような、内蔵自己検査回路を有する。データ・モードにモードにモードを選択する。システム・メモリ素子92を検査するためには、現在検査中のいずれかのメモリ素子92に用いて、データ・モードを選択する。シーケンサ93を用いて、メモリ素子90およびメモリ素子92に選択信号を供給することができる。

【0019】パッファ62間でデータを伝達する。図示のように、バス・ゲート64は、通常DQイネーブル信号NORMAL DQ ENABLEに基づいて、オンまたはオフに切り替えられる。同様に、バス・ゲート68も、図示のように、モニタ・モード選択信号DFT MONITOR MODEによって、オンまたはオフに切り替える。バス・ゲート68は、B1S1T回路12および通常のDQバッファ62間で情報を伝達する。図示の実施例では、B1S1T回路12からの出力は、出力マルチプレクサ52によって受け取られる。図示のように、監視対象信号は、アドレス信号、RAS、CAS、WE、CLK、データ、合格／不合格、および終了信号を含むことができる。メモリ素子90の動作の間、通常モードまたはモニタ・モードが選択可能であるが、双方を選択することはできない。

【0020】図3は、本発明の表示による、データ・モードを備えたB1S1T回路を有する集積回路メモリ素子の一実施例のブロック図である。図3に示すように、第1メモリ素子80はB1S1T回路を含む。メモリ素子80は、図示のように、検査アルゴリズムを実行するかについてデータ・モードを選択する。メモリ・カウンタ34および検出器36は、ROM38からのどのワードを指示してROM38内に格納されている検査アルゴリズムを実行するかについてシス

テムの実施例によれば、データ・モードを選択するための検査信号は、B1S1T回路12によって示す。

【0021】次に、メモリ選択信号RAS、CAS、WE、アドレ

ス・データ、ライト・データ、および予測データを供給する。これの信号は、図1および図2に關して説明したように、B1S1T回路内部からの監視対象信号であ

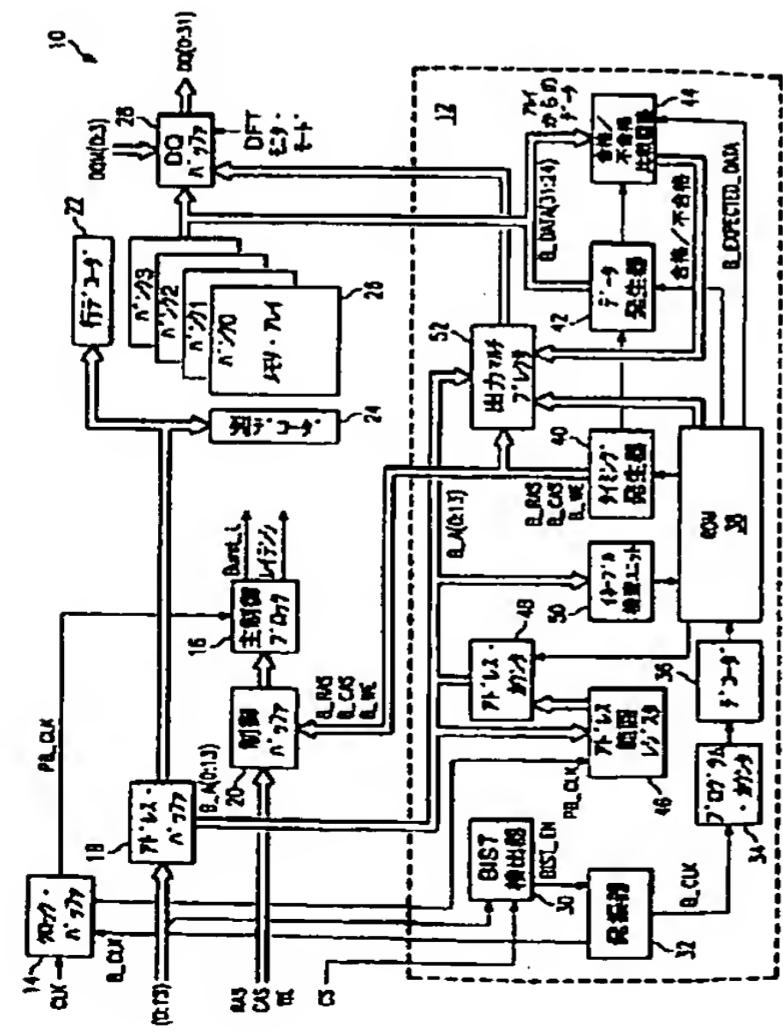
る。第2メモリ素子82は、メモリ素子80によって検査されるメモリ素子であり、B1S1T回路は不要であ

る。メモリ素子82は、メモリ素子80から検査信号を受取り、これらの信号に基づいて検査される。

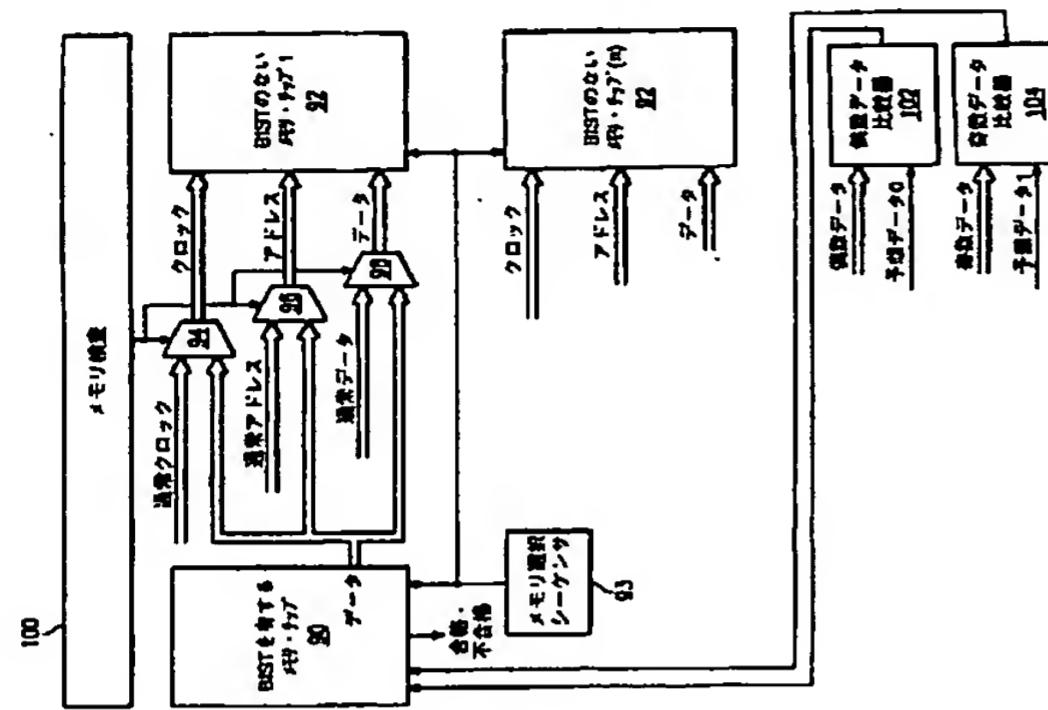
【0022】次に、メモリ素子82からの出力データ

が、偶数データ比較器84および奇数データ比較器86

8



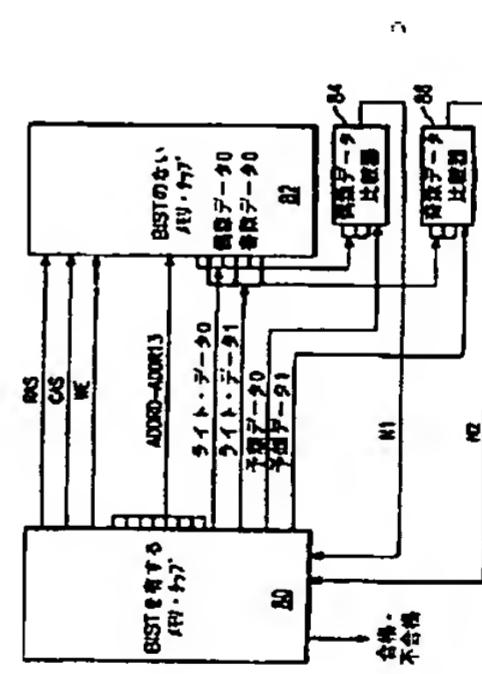
四



フロントページの競き

(72) 芸明者 クオン エイチ、ヒイ
アメリカ合衆国テキサス州マーフィ、サン
チャーチ ドライブ 174

三



卷之三

